

P8388a

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant(s): Masahiko Mizuta, et al.

Group Art Unit: Not Yet Assigned

Serial No.: Unknown

Examiner: Not Yet Assigned

Filed: Herewith

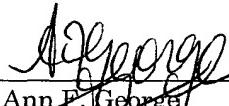
Title: Semiconductor Device and In-Circuit Emulator Using the Same

CERTIFICATION UNDER 37 CFR 1.10

"Express Mail" Mailing Label Number: EV311301755US

I hereby certify that this Submission of Priority Document, and the document referred to as enclosed therein are being deposited with the United States Postal Service in an envelope as "Express Mail Post Office to Addressee" under 37 CFR 1.10 on the date indicated below and is addressed to Mail Stop Patent Application, Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450".

Dated: August 27, 2003


Ann F. George

SUBMISSION OF PRIORITY DOCUMENT

Commissioner for Patents
P. O. Box 1450
Alexandria, VA 22313-1450

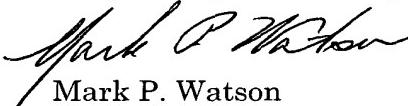
Sir:

Enclosed is the certified copy of the Japanese patent application listed below. The claim of priority under 35 USC §119 in the above-identified application is based on this Japanese patent application.

Japanese Patent Applications

<u>Number</u>	<u>Date Filed</u>
2002-246228	8/27/02

Respectfully submitted,


Mark P. Watson

Registration No. 31,448

Please address all correspondence to:
Epson Research and Development, Inc.
Intellectual Property Department
150 River Oaks Parkway, Suite 225
San Jose, CA 95134
Customer No. 20178
Phone: (408) 952-6000
Facsimile: (408) 954-9058

Date: August 27, 2003

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2002年 8月27日

出願番号

Application Number:

特願2002-246228

[ST.10/C]:

[JP2002-246228]

出願人

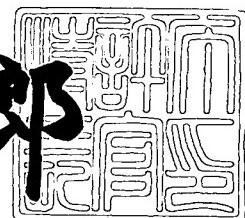
Applicant(s):

セイコーホーリー株式会社

2003年 6月 9日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3044471

【書類名】 特許願
【整理番号】 J0091189
【あて先】 特許庁長官殿
【国際特許分類】 G06F 11/36
【発明者】
【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーホームズ株式会社内
【氏名】 水田 雅彦
【発明者】
【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーホームズ株式会社内
【氏名】 岡 義美
【特許出願人】
【識別番号】 000002369
【氏名又は名称】 セイコーホームズ株式会社
【代理人】
【識別番号】 100110858
【弁理士】
【氏名又は名称】 柳瀬 瞳肇
【選任した代理人】
【識別番号】 100107526
【弁理士】
【氏名又は名称】 鈴木 直郁
【選任した代理人】
【識別番号】 100110777
【弁理士】
【氏名又は名称】 宇都宮 正明
【選任した代理人】
【識別番号】 100100413

【弁理士】

【氏名又は名称】 渡部 溫

【手数料の表示】

【予納台帳番号】 085672

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0014943

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びそれを用いたインサーキットエミュレータ

【特許請求の範囲】

【請求項1】 所定の演算を行う演算処理回路及び所定の機能を有するM個(Mは、自然数)の機能ブロックを具備し、外部のデバッグツールに接続されたときに、前記機能ブロック内のデータ又はプログラムを前記デバッグツールに送信する半導体装置であって、

前記M個の機能ブロックの内の所定のN個(Nは、M以下の自然数)の機能ブロックと前記演算処理回路との間にそれぞれ接続され、指示に応じて、前記N個の機能ブロックと前記演算処理回路との間のデータ又はプログラムの転送をそれぞれ行うN個の第1の回路と、

前記デバッグツールに接続されたときに、前記デバッグツールからの指示に応じて前記演算処理回路を制御するとともに、前記N個の第1の回路に対して、前記N個の機能ブロックと前記演算処理回路との間のデータ又はプログラムの転送を行わないように指示する第2の回路と、

所定のデータ又は信号を受信したときに、前記N個の第1の回路の内の前記データ又は信号に応じた第1の回路に対し、前記第2の回路からの指示にかかわらず前記機能ブロックと前記演算処理回路との間のデータ又はプログラムの転送を行うように指示する第3の回路と、

前記デバッグツールに接続されていないときに、前記M個の機能ブロックとの間でデータ又はプログラムを送受信しながら所定の演算を行い、前記デバッグツールに接続されたときに、前記(M-N)個の機能ブロック内のデータ又はプログラム、並びに、前記N個の第1の回路の内のデータ又はプログラムの転送を行う第1の回路に接続された機能ブロック内のデータ又はプログラムを読み取って前記デバッグツールに送信する前記演算処理回路と、
を具備する半導体装置。

【請求項2】 前記第3の回路が、複数のデータ又は信号を受信し、前記N個の第1の回路の内の前記複数のデータ又は信号に応じた第1の回路に対し、前記第2の回路からの指示にかかわらず前記機能ブロックと前記演算処理回路との

間のデータ又はプログラムの転送を行うように指示することを特徴とする請求項
1記載の半導体装置。

【請求項3】 前記第3の回路が、エンコードされたデータ又は信号を受信し、前記エンコードされたデータ又は信号をデコードし、前記N個の第1の回路の内のデコードされたデータ又は信号に応じた第1の回路に対し、前記第2の回路からの指示にかかわらず前記機能ブロックと前記演算処理回路との間のデータ又はプログラムの転送を行うように指示することを特徴とする請求項1又は2記載の半導体装置。

【請求項4】 前記第3の回路が、レジスタを具備し、前記レジスタがアクセスされた場合に、前記N個の第1の回路に対し、前記第2の回路からの指示にかかわらず前記機能ブロックと前記演算処理回路との間のデータ又はプログラムの転送を行うように指示することを特徴とする請求項1記載の半導体装置。

【請求項5】 前記第3の回路が、レジスタを具備し、前記レジスタに所定のデータが書き込まれた場合に、前記N個の第1の回路の内の前記レジスタに書き込まれたデータに応じた第1の回路に対し、前記第2の回路からの指示にかかわらず前記機能ブロックと前記演算処理回路との間のデータ又はプログラムの転送を行うように指示することを特徴とする請求項1又は4記載の半導体装置。

【請求項6】 前記第3の回路が、複数のレジスタを具備し、前記レジスタがアクセスされた場合に、前記N個の第1の回路の内のアクセスされたレジスタに応じた第1の回路に対し、前記第2の回路からの指示にかかわらず前記機能ブロックと前記演算処理回路との間のデータ又はプログラムの転送を行うように指示することを特徴とする請求項1又は4記載の半導体装置。

【請求項7】 前記第3の回路が、複数のレジスタを具備し、前記複数のレジスタのいずれか又は全てに所定のデータが書き込まれた場合に、前記N個の第1の回路の内のアクセスされたレジスタ又は前記レジスタに書き込まれたデータに応じた第1の回路に対し、前記第2の回路からの指示にかかわらず前記機能ブロックと前記演算処理回路との間のデータ又はプログラムの転送を行うように指示することを特徴とする請求項1又は4記載の半導体装置。

【請求項8】 前記データ又は信号が、前記演算処理装置又は外部から供給

されることを特徴とする請求項1～7のいずれか1項に記載の半導体装置。

【請求項9】 前記レジスタが、前記演算処理装置又は外部によってアクセスされることを特徴とする請求項4～7のいずれか1項に記載の半導体装置。

【請求項10】 外部から所定のプロトコルでデータを受信する第4の回路を更に具備し、前記第4の回路が、外部から受信したデータに基づいて、前記第3の回路にデータ又は信号を出力することを特徴とする請求項1～7のいずれか1項に記載の半導体装置。

【請求項11】 請求項1～10のいずれか1項に記載の半導体装置と、前記半導体装置内の前記演算処理回路及び前記第2の回路に接続されたデバッグツールと、
を具備するインサーキットエミュレータ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、外部のデバッグツールに接続されたときに、内部のデータ又はプログラムをデバッグツールに送信する半導体装置に関する。さらに、本発明は、そのような半導体装置を用いたインサーキットエミュレータに関する。

【0002】

【従来の技術】

シングルチップマイクロコンピュータ、ユーザの仕様に応じたカスタム品であるシステムLSI (Large Scale Integrated circuit) 等の半導体装置において、主にソフトウェア (プログラム) のデバッグを容易にするためのデバッグ回路を搭載することが行われている。このようなデバッグ回路を搭載した半導体装置は、外部のデバッグツールに接続されたときに、半導体装置内部のROM (Read Only Memory)、RAM (Random Access Memory)、レジスタ等の内容 (データ又はプログラム) をデバッグツールに送信する。ソフトウェアのデバッグを行うユーザは、デバッグツールを介して半導体装置内部のROM、RAM、レジスタ等の内容を知ることができ、ソフトウェアのデバッグを容易に行うことができる。

【0003】

ところで、半導体装置によっては、ソフトウェアのデバッグを行うユーザ以外の者（以下、「第三者」という）に知られることが望ましくないデータ又はプログラムを内部に有する場合がある。例えば、半導体装置内部のROMが、所定の暗号を解除するための暗号解除キーを格納しており、この暗号解除キーを第三者に知られたくない場合等がある。

このような場合に、半導体装置内部のデータ等が第三者に知られることを防止するために、（i）半導体装置にデバッグ回路を搭載しない、（ii）半導体装置にデバッグ回路を搭載してはいるが、デバッグ回路の使用方法を公開しない等の対策が考えられる。

【0004】

しかしながら、上記（i）の対策では、ソフトウェアのデバッグを行うユーザが半導体装置の内部データ等を知ることができないため、ソフトウェアのデバッグが困難となる。

また、上記（ii）の対策では、第三者が半導体装置を解析することにより、デバッグ回路の使用方法が第三者に知られてしまった場合に、半導体装置内部のデータ等が第三者に知られてしまうこととなる。

【0005】

ところで、日本国特許公開公報（特開）平10-133906号公報（以下、「文献1」ともいう）には、メモリ空間がプログラム、データを格納するプログラムメモリ領域、データメモリ領域に分けられ且つそれぞれに対応したアドレスバスを有するマイクロコンピュータをエミュレーションするとき、プログラムメモリ領域内にマッピングされた各マッピング領域の属性などを示すマッピングデータと、データメモリ領域内に割り当てられた各特殊機能レジスタに対するアクセス許可／不許可を示すプロテクトデータと、を予め設定し、各マッピング領域、各特殊機能レジスタに対する不正アクセスを検出し、エミュレーション停止するインサーキットエミュレータにおいて、各アドレスバスのバス信号を入力しそれらの1つのバス信号を制御信号により選択出力する選択手段と、この選択手段のバス信号出力をアドレス入力しマッピングデータおよびプロテクトデータを予

め設定および格納する記憶手段と、を備えることを特徴としたインサーキットエミュレータが掲載されている。

【0006】

しかしながら、文献1に掲載されたインサーキットエミュレータは、プログラムメモリ領域内にマッピングされた各マッピング領域の属性などを示すマッピングデータと、データメモリ領域内に割り当てられた各特殊機能レジスタに対するアクセス許可／不許可を示すプロテクトデータと、を予め設定し、プログラムメモリ領域、データメモリ領域それぞれに対応したアドレスバスのバス信号を入力しそれらの1つのバス信号を制御信号により選択する選択手段と、この選択手段のバス信号出力をアドレス入力しマッピングデータおよびプロテクトデータを予め設定および格納する記憶手段と、を備え、各マッピング領域、各特殊機能レジスタに対する不正アクセスを検出し、エミュレーション停止することにより、マッピングメモリとSFRプロテクトメモリを1個のプロテクトメモリにまとめるものであり、ソフトウェアのデバッグを行うユーザが半導体装置内のデータ等を読み取ることができるようにし、第三者が半導体装置内のデータ等を読み取ることができないようにするものではない。

【0007】

また、特開2000-347942号公報（以下、「文献2」ともいう）には、ユーザにより個別に設定可能なユーザプログラムからなるセキュリティ解除プログラムを記憶情報に含み、外部に設けられたエミュレータによる不正アクセスから保護する情報を記憶するメモリと、エミュレータに接続されて、エミュレータと情報処理装置との間でデバッグに必要な信号の入出力制御を行い、情報処理装置のデバッグをサポートするオンチップデバッグ回路と、電源投入時に情報処理装置をリセットするパワーオンリセット信号を受けて、オンチップデバッグ回路の機能を無効化してセキュリティを設定し、エミュレータによるメモリの記憶情報の読み出しを禁止し、セキュリティ指定ビットと、このセキュリティ指定ビットのリセットをイネーブルとするイネーブルコードとを受けて、オンチップデバッグ回路の機能を有効化してセキュリティを解除し、エミュレータによるメモリの記憶情報の読み出しを可能にするセキュリティ回路とを有することを特徴と

する情報処理装置が掲載されている。

【0008】

しかしながら、文献2に掲載された情報処理装置は、メモリに記憶された情報を、外部に設けられたエミュレータによる不正アクセスから保護するためのものではあるが、ユーザにより個別に設定可能なユーザプログラムからなるセキュリティ解除プログラムを記憶情報に含むものである。

【0009】

【発明が解決しようとする課題】

そこで、上記の点に鑑み、本発明は、デバッグツールに接続されたときに、所定のデータ又は信号が入力された場合に、内部のデータ又はプログラムを読み取ることが可能な半導体装置を提供することを目的とする。さらに、本発明は、そのような半導体装置を具備するインサーキットエミュレータを提供することを更なる目的とする。

【0010】

【課題を解決するための手段】

以上の課題を解決するため、本発明に係る半導体装置は、所定の演算を行う演算処理回路及び所定の機能を有するM個（Mは、自然数）の機能ブロックを具備し、外部のデバッグツールに接続されたときに、機能ブロック内のデータ又はプログラムをデバッグツールに送信する半導体装置であって、M個の機能ブロックの内の所定のN個（Nは、M以下の自然数）の機能ブロックと演算処理回路との間にそれぞれ接続され、指示に応じて、N個の機能ブロックと演算処理回路との間のデータ又はプログラムの転送をそれぞれ行うN個の第1の回路と、デバッグツールに接続されたときに、デバッグツールからの指示に応じて演算処理回路を制御するとともに、N個の第1の回路に対して、N個の機能ブロックと演算処理回路との間のデータ又はプログラムの転送を行わないように指示する第2の回路と、所定のデータ又は信号を受信したときに、N個の第1の回路の内のデータ又は信号に応じた第1の回路に対し、第2の回路からの指示にかかわらず機能ブロックと演算処理回路との間のデータ又はプログラムの転送を行ないように指示する第3の回路と、デバッグツールに接続されていないときに、M個の機能ブロック

との間でデータ又はプログラムを送受信しながら所定の演算を行い、デバッグツールに接続されたときに、(M-N)個の機能ブロック内のデータ又はプログラム、並びに、N個の第1の回路の内のデータ又はプログラムの転送を行う第1の回路に接続された機能ブロック内のデータ又はプログラムを読み取ってデバッグツールに送信する演算処理回路とを具備する。

【0011】

ここで、第3の回路が、複数のデータ又は信号を受信し、N個の第1の回路の内の複数のデータ又は信号に応じた第1の回路に対し、第2の回路からの指示にかかわらず機能ブロックと演算処理回路との間のデータ又はプログラムの転送を行うように指示することとしても良い。また、第3の回路が、エンコードされたデータ又は信号を受信し、エンコードされたデータ又は信号をデコードし、N個の第1の回路の内のデコードされたデータ又は信号に応じた第1の回路に対し、第2の回路からの指示にかかわらず機能ブロックと演算処理回路との間のデータ又はプログラムの転送を行うように指示することとしても良い。

【0012】

また、第3の回路が、レジスタを具備し、レジスタがアクセスされた場合に、N個の第1の回路に対し、第2の回路からの指示にかかわらず機能ブロックと演算処理回路との間のデータ又はプログラムの転送を行うように指示することとしても良い。さらに、第3の回路が、レジスタを具備し、レジスタに所定のデータが書き込まれた場合に、N個の第1の回路の内のレジスタに書き込まれたデータに応じた第1の回路に対し、第2の回路からの指示にかかわらず機能ブロックと演算処理回路との間のデータ又はプログラムの転送を行うように指示することとしても良い。

【0013】

また、第3の回路が、複数のレジスタを具備し、レジスタがアクセスされた場合に、N個の第1の回路の内のアクセスされたレジスタに応じた第1の回路に対し、第2の回路からの指示にかかわらず機能ブロックと演算処理回路との間のデータ又はプログラムの転送を行うように指示することとしても良い。さらに、第3の回路が、複数のレジスタを具備し、複数のレジスタのいずれか又は全てに所

定のデータが書き込まれた場合に、N個の第1の回路の内のアクセスされたレジスタ又はレジスタに書き込まれたデータに応じた第1の回路に対し、第2の回路からの指示にかかわらず機能ブロックと演算処理回路との間のデータ又はプログラムの転送を行うように指示することとしても良い。

【0014】

また、データ又は信号が、演算処理装置又は外部から供給されることとしても良い。また、レジスタが、演算処理装置又は外部によってアクセスされることとしても良い。

【0015】

また、外部から所定のプロトコルでデータを受信する第4の回路を更に具備し、第4の回路が、外部から受信したデータに基づいて、第3の回路にデータ又は信号を出力することとしても良い。

【0016】

また、本発明に係るインサーキットエミュレータは、本発明に係る半導体装置と、半導体装置内の演算処理回路及び第2の回路に接続されたデバッグツールとを具備する。

【0017】

上記のように構成した本発明によれば、所定のデータ又は信号が入力された場合に、内部のデータ又はプログラムを読み取ることが可能となる。これにより、ソフトウェアのデバッグを行うユーザが内部のデータ等を読み取ること、及びその他のユーザが内部のデータ等を読み取ることができないことを容易に実現することができる。

【0018】

【発明の実施の形態】

以下、図面に基づいて本発明の実施の形態について説明する。なお、同一の構成要素には同一の参照番号を付して、説明を省略する。

図1は、本発明の一実施形態に係るインサーキットエミュレータを示す図である。図1に示すように、インサーキットエミュレータ1は、システムLSI (Large Scale Integrated circuit) 10と、デバッグツール40とを具備する。

システムLSI10は、CPU(Central Processing Unit)11と、デバッグ回路12と、プロテクト解除回路13と、ROM(Read Only Memory)21と、RAM(Random Access Memory)22と、レジスタ23と、ユーザ回路24と、プロテクト回路31～34とを含んでいる。

【0019】

ROM21は、CPU11が実行するソフトウェア(プログラム)、CPU11が用いるデータ等を格納する。RAM22及びレジスタ23は、テンポラリデータ等を格納する。ユーザ回路24は、ユーザの仕様を満たす動作を行う。

CPU11は、デバッグツール40に接続されていない場合には、ROM21、RAM22、レジスタ23、又は、ユーザ回路24内部のデータ又はプログラムを読み取って所定の演算を行う。また、CPU11は、デバッグツール40に接続されている場合には、デバッグツール40及びデバッグ回路12の指示に従い、ROM21、RAM22、レジスタ23、又は、ユーザ回路24内部のデータ等を読み取ってデバッグツール40に出力する。本実施形態においては、CPU11は、デバッグツール40に接続されているので、デバッグツール40及びデバッグ回路12の指示に従い、ROM21、RAM22、レジスタ23、又は、ユーザ回路24内部のデータ等を読み取ってデバッグツール40に出力する。

【0020】

プロテクト回路31～34は、ROM21、RAM22、レジスタ23、及び、ユーザ回路24とCPU11との間にそれぞれ接続されており、デバッグ回路12又はプロテクト解除回路13の指示に応じて、ROM21、RAM22、レジスタ23、又は、ユーザ回路24とCPU11との間のデータ又はプログラムの転送を行う。

なお、CPU11とプロテクト回路31～34との間、並びに、プロテクト回路31～34とROM21、RAM22、レジスタ23、及び、ユーザ回路24との間は、8ビット幅のバスでそれぞれ接続されている。

【0021】

デバッグ回路12は、デバッグツール40に接続されている場合には、デバッグツール40の指示に応じてCPU11を制御するとともに、ハイレベルのプロ

テクト有効信号をプロテクト回路31～34に出力し、デバッグツール40に接続されていない場合には、ローレベルのプロテクト有効信号をプロテクト回路31～34に出力する。本実施形態においては、デバッグ回路12は、デバッグツール40に接続されているので、ハイレベルのプロテクト有効信号をプロテクト回路31～34に出力する。

プロテクト解除回路13には、外部から制御信号が入力される。プロテクト解除回路13は、外部から入力される制御信号がローレベルの場合には、ローレベルのプロテクト解除信号をプロテクト回路31～34に出力する。また、プロテクト解除回路13は、外部から入力される制御信号がハイレベルの場合には、ハイレベルのプロテクト解除信号をプロテクト回路31～34に出力する。なお、制御信号は、システムLSI10の取扱説明書において「未使用」又は「予約済み」と記載されている端子から入力される。

【0022】

図2は、プロテクト回路31～34の内部構成を示す図である。図2に示すように、プロテクト回路31～34は、入出力バッファ51～58と、ANDゲート回路59とを含んでいる。

ANDゲート回路59は、プロテクト有効信号とプロテクト解除信号を反転した信号との論理積演算を行い、結果として得られた信号を入出力バッファ51～58に出力する。

【0023】

図3は、入出力バッファ51～58の内部構成を示す図である。図3に示すように、入出力バッファ51～58は、出力イネーブル機能付きのバッファ61、62を含んでいる。バッファ61は、入力がCPU11に接続されており、出力がROM21、RAM22、レジスタ23、又は、ユーザ回路24に接続されている。また、バッファ62は、入力がバッファ61の出力に接続されており、出力がバッファ62の入力に接続されている。

バッファ61、62は、ANDゲート回路59の出力信号がローレベルの場合にオンとなり、ANDゲート回路59の出力信号がハイレベルの場合にオフとなる。

【0024】

図4は、バッファ61、62の動作を表す真理値表である。図4に示すように、プロテクト有効信号がローレベルの場合には、プロテクト解除信号がハイレベルであるかローレベルであるかにかかわらず、ANDゲート回路59の出力信号はローレベルとなり、バッファ61、62はオンとなる。

プロテクト有効信号がハイレベルであり、プロテクト解除信号がローレベルの場合には、ANDゲート回路59の出力信号はハイレベルとなり、バッファ61、62はオフとなる。

プロテクト有効信号及びプロテクト解除信号がハイレベルの場合には、ANDゲート回路59の出力信号はローレベルとなり、バッファ61、62はオンとなる。

【0025】

このように、インサーキットエミュレータ1によれば、ハイレベルの制御信号がプロテクト解除回路13に入力された場合には、プロテクト回路31～34内のバッファ61、62がオンとなり、CPU11が、ROM21、RAM22、レジスタ23、及び、ユーザ回路24内部のデータ等を読み取ってデバッグツール40に送信することができる。これにより、ユーザが、ROM21、RAM22、レジスタ23、及び、ユーザ回路24内部のデータ等を読み取ることができる。また、ローレベルの制御信号がプロテクト解除回路13に入力された場合には、プロテクト回路31～34内のバッファ61、62がオフとなり、CPU11が、ROM21、RAM22、レジスタ23、及び、ユーザ回路24内部のデータ等を読み取ることはできない。これにより、ユーザがROM21、RAM22、レジスタ23、及び、ユーザ回路24内部のデータ等を読み取ることを防止することができる。

【0026】

ここで、システムLSI10において制御信号を入力するための端子（取扱説明書において「未使用」又は「予約済み」と掲載されている端子）を、ROM21、RAM22、レジスタ23、及び、ユーザ回路24内部のデータ等を読み取らせても構わないユーザ（例えば、ソフトウェアのデバッグを行う技術者等）に

のみ知らせることとし、その他のユーザには知らせないこととすることができる。このようにすれば、ROM21、RAM22、レジスタ23、及び、ユーザ回路24内部のデータ等を読み取らせて構わないユーザがデバッグを容易にすることができ、その他のユーザがROM21、RAM22、レジスタ23、及び、ユーザ回路24内部のデータ等を読み取ることを防止することができる。

【0027】

また、システムLSI10において制御信号を入力するための端子が取扱説明書において「未使用」又は「予約済み」と記載されているので、制御信号を入力するための端子を知らされていないユーザが、システムLSI10がデバッグツール40に接続されている場合にバッファ61、62をオフにさせるため、システムLSI10を解析することは困難である。従って、システムLSI10がデバッグツール40に接続されている場合に、制御信号を入力するための端子を知らされていないユーザがROM21、RAM22、レジスタ23、及び、ユーザ回路24内部のデータ等を読み取ることは、非常に困難となる。

【0028】

また、システムLSI10がデバッグツール40に接続されている場合に、ハイレベルの制御信号をプロテクト解除回路13に入力する以外にバッファ61、62をオンにさせることはできないので、他の方法又は装置を用いてROM21、RAM22、レジスタ23、及び、ユーザ回路24内部のデータ等を読み取ることはできない。

【0029】

なお、本実施形態においては、1本の制御信号がハイレベルとなった場合に、プロテクト回路31～34内のバッファ61、62がオンになることとしているが、例えば、第1～第4の制御信号が入力されることとし、第1の制御信号がハイレベルとなった場合に、プロテクト回路31内のバッファ61、62がオンになることとし、第2の制御信号がハイレベルとなった場合に、プロテクト回路32内のバッファ61、62がオンになることとし、第3の制御信号がハイレベルとなった場合に、プロテクト回路33内のバッファ61、62がオンになることとし、第4の制御信号がハイレベルとなった場合に、プロテクト回路31内のバ

ツファ61、62がオンになることとしても良い。これにより、ROM21、RAM22、レジスタ23、及び、ユーザ回路24のデータ等の読み取りにセキュリティレベルを設け、セキュリティレベルに応じたデータ等の読み取りを実現することができる。

さらに、第1～第4の制御信号がエンコードされており、プロテクト解除回路13が第1～第4の制御信号をデコードし、デコード結果に応じて、プロテクト回路31～34のいずれか又は全てのバッファ61、62がオンになることとしても良い。

【0030】

また、プロテクト解除回路13が、レジスタを内部に有しており、このレジスタに対するアクセスが外部からあった場合に、ハイレベルのプロテクト解除信号を出力することとしても良い。

さらに、プロテクト解除回路13が、レジスタを内部に有しており、このレジスタに所定の値のデータ（解除キー）が外部から書き込まれた場合に、書き込まれたデータに応じて、プロテクト回路31～34のいずれか又は全てのバッファ61、62がオンになることとしても良い。これにより、ROM21、RAM22、レジスタ23、及び、ユーザ回路24のデータ等の読み取りにセキュリティレベルを設け、セキュリティレベルに応じたデータ等の読み取りを実現することができる。

【0031】

また、プロテクト解除回路13が、複数のレジスタを内部に有しており、これらのレジスタに対するアクセスが外部からあった場合に、アクセスされたレジスタに応じて、プロテクト回路31～34のいずれか又は全てのバッファ61、62がオンになることとしても良い。これにより、ROM21、RAM22、レジスタ23、及び、ユーザ回路24のデータ等の読み取りにセキュリティレベルを設け、セキュリティレベルに応じたデータ等の読み取りを実現することができる。

さらに、プロテクト解除回路13が、複数のレジスタを内部に有しており、これらのレジスタに所定の値のデータ（解除キー）が外部から書き込まれた場合に

、書き込みが行われたレジスタ又は書き込まれたデータに応じて、プロテクト回路31～34のいずれか又は全てのバッファ61、62がオンになることとしても良い。これにより、ROM21、RAM22、レジスタ23、及び、ユーザ回路24のデータ等の読み取りに、セキュリティレベルを設け、セキュリティレベルに応じたデータ等の読み取りを実現することができる。

【0032】

また、本実施形態においては、ROM21、RAM22、レジスタ23、及び、ユーザ回路24とCPU11との間にプロテクト回路31～34を接続しているが、例えば、ROM21内部のデータ等の読み取りだけを防止する場合には、ROM21とCPU11との間にプロテクト回路31を接続し、プロテクト回路32～34を不要とすることができる。

【0033】

なお、システムLSI10がデバッグツール40に接続されていない場合には、CPU11は、所定の演算処理を行うことができる。

【0034】

次に、本発明の第2の実施の形態について説明する。図5は、本発明の第2の実施の形態に係るインサーキットエミュレータを示す図である。

図5に示すように、インサーキットエミュレータ71は、システムLSI72と、デバッグツール40とを具備する。

システムLSI72は、CPU11と、デバッグ回路12と、プロテクト解除回路13と、ROM21と、RAM22と、レジスタ23と、ユーザ回路24と、プロテクト回路31～34とを含んでいる。

【0035】

CPU11は、デバッグツール40に接続されていない場合には、ROM21、RAM22、レジスタ23、又は、ユーザ回路24内部のデータ又はプログラムを読み取って所定の演算を行う。また、CPU11は、デバッグツール40に接続されている場合には、デバッグツール40及びデバッグ回路12の指示に従い、ハイレベル又はローレベルの制御信号をプロテクト解除回路13に出力する。本実施形態においては、CPU11は、デバッグツール40に接続されている

ので、デバッグツール40及びデバッグ回路12の指示に従い、ハイレベル又はローレベルの制御信号をプロテクト解除回路13に出力する。

プロテクト解除回路13には、CPU11から制御信号が入力される。プロテクト解除回路13は、制御信号がローレベルの場合には、ローレベルのプロテクト解除信号をプロテクト回路31～34に出力する。また、プロテクト解除回路13は、制御信号がハイレベルの場合には、ハイレベルのプロテクト解除信号をプロテクト回路31～34に出力する。

【0036】

このように、インサーキットエミュレータ71によれば、CPU11がデバッグツール40又はデバッグ回路12の指示に応じてハイレベルの制御信号をプロテクト解除回路13に出力する場合には、プロテクト回路31～34内のバッファ61、62がオンとなり、CPU11が、ROM21、RAM22、レジスタ23、及び、ユーザ回路24内部のデータ等を読み取ってデバッグツール40に送信する。これにより、ユーザが、ROM21、RAM22、レジスタ23、及び、ユーザ回路24内部のデータ等を読み取ることができる。また、CPU11がデバッグツール40又はデバッグ回路12の指示に応じてローレベルの制御信号をプロテクト解除回路13に出力する場合には、プロテクト回路31～34内のバッファ61、62がオフとなり、CPU11が、ROM21、RAM22、レジスタ23、及び、ユーザ回路24内部のデータ等を読み取ることはできない。これにより、ユーザがROM21、RAM22、レジスタ23、及び、ユーザ回路24内部のデータ等を読み取ることを防止することができる。

【0037】

ここで、CPU11にハイレベルの制御信号を出力させるためのコマンド等を、ROM21、RAM22、レジスタ23、及び、ユーザ回路24内部のデータ等を読み取らせて構わないユーザ（例えば、ソフトウェアのデバッグを行う技術者等）にのみ知らせることとし、他のユーザには知らせないこととすることができる。このようにすれば、ROM21、RAM22、レジスタ23、及び、ユーザ回路24内部のデータ等を読み取らせて構わないユーザのデバッグを容易にでき、他のユーザがROM21、RAM22、レジスタ23、及び、ユーザ回路24内部のデータ等を読み取ることを防止することができる。

3、及び、ユーザ回路24内部のデータ等を読み取ることを防止することができる。

【0038】

また、CPU11にハイレベルの制御信号を出力させるためのコマンド等を知らされていないユーザが、システムLSI72がデバッグツール40に接続されている場合にバッファ61、62をオフにさせるため、システムLSI72を解析することは困難である。そのため、CPU11にハイレベルの制御信号を出力させるためのコマンド等を知らされていないユーザが、システムLSI72がデバッグツール40に接続されている場合に、ROM21、RAM22、レジスタ23、及び、ユーザ回路24内部のデータ等を読み取ることが、非常に困難となる。

【0039】

また、システムLSI72がデバッグツール40に接続されている場合に、CPU11にハイレベルの制御信号を出力させる以外にバッファ61、62をオンにさせることはできないので、他の方法又は装置を用いてROM21、RAM22、レジスタ23、及び、ユーザ回路24内部のデータ等を読み取ることはできない。

【0040】

なお、本実施形態においては、1本の制御信号がハイレベルとなった場合に、プロテクト回路31～34内のバッファ61、62がオンになることとしているが、例えば、CPU11が第1～第4の制御信号をプロテクト解除回路13に出力することとし、第1の制御信号がハイレベルとなった場合に、プロテクト回路31内のバッファ61、62がオンになることとし、第2の制御信号がハイレベルとなった場合に、プロテクト回路32内のバッファ61、62がオンになることとし、第3の制御信号がハイレベルとなった場合に、プロテクト回路33内のバッファ61、62がオンになることとし、第4の制御信号がハイレベルとなった場合に、プロテクト回路31内のバッファ61、62がオンになることとしても良い。これにより、ROM21、RAM22、レジスタ23、及び、ユーザ回路24のデータ等の読み取りにセキュリティレベルを設け、セキュリティレベル

に応じたデータ等の読み取りを実現することができる。

さらに、第1～第4の制御信号がエンコードされており、プロテクト解除回路13が第1～第4の制御信号をデコードし、デコード結果に応じて、プロテクト回路31～34のいずれか又は全てのバッファ61、62がオンになることとしても良い。

【0041】

また、プロテクト解除回路13が、レジスタを内部に有しており、このレジスタがCPU11によってアクセスされた場合に、ハイレベルのプロテクト解除信号を出力することとしても良い。

さらに、プロテクト解除回路13が、レジスタを内部に有しており、このレジスタに所定の値のデータ（解除キー）がCPU11から書き込まれた場合に、書き込まれたデータに応じて、プロテクト回路31～34のいずれか又は全てのバッファ61、62がオンになることとしても良い。これにより、ROM21、RAM22、レジスタ23、及び、ユーザ回路24のデータ等の読み取りにセキュリティレベルを設け、セキュリティレベルに応じたデータ等の読み取りを実現することができる。

【0042】

また、プロテクト解除回路13が、複数のレジスタを内部に有しており、これらのレジスタがCPU11によってアクセスされた場合に、アクセスされたレジスタに応じて、プロテクト回路31～34のいずれか又は全てのバッファ61、62がオンになることとしても良い。これにより、ROM21、RAM22、レジスタ23、及び、ユーザ回路24のデータ等の読み取りにセキュリティレベルを設け、セキュリティレベルに応じたデータ等の読み取りを実現することができる。

さらに、プロテクト解除回路13が、複数のレジスタを内部に有しており、これらのレジスタに所定の値のデータ（解除キー）がCPU11によって書き込まれた場合に、書き込みが行われたレジスタ又は書き込まれたデータに応じて、プロテクト回路31～34のいずれか又は全てのバッファ61、62がオンになることとしても良い。これにより、ROM21、RAM22、レジスタ23、及び

、ユーザ回路24のデータ等の読み取りにセキュリティレベルを設け、セキュリティレベルに応じたデータ等の読み取りを実現することができる。

【0043】

また、本実施形態においては、ROM21、RAM22、レジスタ23、及び、ユーザ回路24とCPU11との間にプロテクト回路31～34を接続しているが、例えば、ROM21内部のデータ等の読み取りだけを防止する場合には、ROM21とCPU11との間にプロテクト回路31を接続し、プロテクト回路32～34を不要とすることができる。

【0044】

また、インサーキットエミュレータ71においては、インサーキットエミュレータ1のように、プロテクト解除回路13に外部から制御信号を入力する必要がないので、制御信号を入力するための端子、制御信号を入力するための特別な装置等が不要である。

【0045】

なお、システムLSI72がデバッグツール40に接続されていない場合には、CPU11は、所定の演算処理を行うことができる。

【0046】

次に、本発明の第3の実施の形態について説明する。図6は、本発明の第3の実施の形態に係るインサーキットエミュレータを示す図である。

図6に示すように、インサーキットエミュレータ81は、システムLSI82と、デバッグツール40とを具備する。

システムLSI82は、CPU11と、デバッグ回路12と、プロテクト解除回路13と、ROM21と、RAM22と、レジスタ23と、ユーザ回路24と、プロテクト回路31～34と、シリアルインターフェース回路83とを含んでいる。

【0047】

シリアルインターフェース回路83は、外部からシリアル信号を所定のプロトコルで受信し、このシリアル信号に基づいて、ハイレベル又はローレベルの制御信号をプロテクト解除回路13に出力する。

プロテクト解除回路13には、シリアルインターフェース回路83から制御信号が入力される。プロテクト解除回路13は、制御信号がローレベルの場合には、ローレベルのプロテクト解除信号をプロテクト回路31～34に出力する。また、プロテクト解除回路13は、制御信号がハイレベルの場合には、ハイレベルのプロテクト解除信号をプロテクト回路31～34に出力する。

【0048】

このように、インサーキットエミュレータ81によれば、シリアルインターフェース回路83が外部から入力されるシリアル信号に基づいてハイレベルの制御信号をプロテクト解除回路13に出力する場合には、プロテクト回路31～34内のバッファ61、62がオンとなり、CPU11が、ROM21、RAM22、レジスタ23、及び、ユーザ回路24内部のデータ等を読み取ってデバッグツール40に送信する。これにより、ユーザが、ROM21、RAM22、レジスタ23、及び、ユーザ回路24内部のデータ等を読み取ることができる。また、シリアルインターフェース回路83が外部から入力されるシリアル信号に基づいてローレベルの制御信号をプロテクト解除回路13に出力する場合には、プロテクト回路31～34内のバッファ61、62がオフとなり、CPU11が、ROM21、RAM22、レジスタ23、及び、ユーザ回路24内部のデータ等を読み取ることを防止することができる。

【0049】

ここで、シリアルインターフェース回路83にハイレベルの制御信号を出力させるためのシリアル信号及びプロトコルを、ROM21、RAM22、レジスタ23、及び、ユーザ回路24内部のデータ等を読み取らせて構わないユーザ（例えば、ソフトウェアのデバッグを行う技術者等）にのみ知らせることとし、他のユーザには知らせないこととしても良い。このようにすれば、ROM21、RAM22、レジスタ23、及び、ユーザ回路24内部のデータ等を読み取らせて構わないユーザのデバッグを容易にすことができ、他のユーザがROM21、RAM22、レジスタ23、及び、ユーザ回路24内部のデータ等を読

み取ることを防止することができる。

【0050】

また、シリアルインターフェース回路83にハイレベルの制御信号を出力させるためのシリアル信号及びプロトコルを知らされていないユーザが、システムLSI82がデバッグツール40に接続されている場合にバッファ61、62をオフにさせるため、システムLSI82を解析することは困難である。そのため、シリアルインターフェース回路83にハイレベルの制御信号を出力させるためのシリアル信号を知らされていないユーザが、システムLSI82がデバッグツール40に接続されている場合に、ROM21、RAM22、レジスタ23、及び、ユーザ回路24内部のデータ等を読み取ることが、非常に困難となる。

【0051】

また、システムLSI82がデバッグツール40に接続されている場合に、シリアルインターフェース回路83にハイレベルの制御信号を出力させる以外にバッファ61、62をオンにさせることはできないので、他の方法又は装置を用いてROM21、RAM22、レジスタ23、及び、ユーザ回路24内部のデータ等を読み取ることはできない。

【0052】

なお、本実施形態においては、1本の制御信号がハイレベルとなった場合に、プロテクト回路31～34内のバッファ61、62がオンになることとしているが、例えば、シリアルインターフェース回路83が第1～第4の制御信号をプロテクト解除回路13に出力することとし、第1の制御信号がハイレベルとなった場合に、プロテクト回路31内のバッファ61、62がオンになることとし、第2の制御信号がハイレベルとなった場合に、プロテクト回路32内のバッファ61、62がオンになることとし、第3の制御信号がハイレベルとなった場合に、プロテクト回路33内のバッファ61、62がオンになることとし、第4の制御信号がハイレベルとなった場合に、プロテクト回路31内のバッファ61、62がオンになることとしても良い。これにより、ROM21、RAM22、レジスタ23、及び、ユーザ回路24のデータ等の読み取りにセキュリティレベルを設け、セキュリティレベルに応じたデータ等の読み取りを実現することができる。

【0053】

さらに、第1～第4の制御信号がエンコードされており、プロテクト解除回路13が第1～第4の制御信号をデコードし、デコード結果に応じて、プロテクト回路31～34のいずれか又は全てのバッファ61、62がオンになることとしても良い。これにより、ROM21、RAM22、レジスタ23、及び、ユーザ回路24のデータ等の読み取りにセキュリティレベルを設け、セキュリティレベルに応じたデータ等の読み取りを実現することができる。

【0054】

なお、本実施形態においては、シリアルインターフェース回路83を用いているが、パラレルインターフェース回路を用いることとしても良い。

【0055】

また、本実施形態においては、ROM21、RAM22、レジスタ23、及び、ユーザ回路24とCPU11との間にプロテクト回路31～34を接続しているが、例えば、ROM21内部のデータ等の読み取りだけを防止する場合には、ROM21とCPU11との間にプロテクト回路31を接続し、プロテクト回路32～34を不要とすることができる。

【0056】

なお、システムLSI82がデバッグツール40に接続されていない場合には、CPU11は、所定の演算処理を行うことができる。

【0057】

また、第1～第3の実施形態において、プロテクト回路31～34が入出力バッファ51～58（図3参照）を有することとしているが、必要に応じて、プロテクト回路31～34が、図7に示す出力バッファ91～98を有することとしても良いし、プロテクト回路31～34が、図8に示す入力バッファ101～108を有することとしても良い。

また、プロテクト回路31～34が、図9に示すように、バッファ61、62、NANDゲート回路84、85を含む入出力バッファ111～118を有することとしても良い。

【0058】

【発明の効果】

以上述べた様に、本発明によれば、所定のデータ又は信号が入力された場合に、内部のデータ又はプログラムを読み取ることが可能となる。これにより、ソフトウェアのデバッグを行うユーザが内部のデータ等を読み取ること、及びその他のユーザが内部のデータ等を読み取ることができないことを容易に実現することができる。

【図面の簡単な説明】

【図1】

本発明の第1の実施形態に係るインサーキットエミュレータを示す図である。

【図2】

図1のプロテクト回路の内部構成を示す図である。

【図3】

図2の入出力バッファの内部構成の一例を示す図である。

【図4】

図3のバッファの動作を表す真理値表を示す図である。

【図5】

本発明の第2の実施形態に係るインサーキットエミュレータを示す図である。

【図6】

本発明の第3の実施形態に係るインサーキットエミュレータを示す図である。

【図7】

図2の入出力バッファの内部構成の他の例を示す図である。

【図8】

図2の入出力バッファの内部構成の他の例を示す図である。

【図9】

図2の入出力バッファの内部構成の他の例を示す図である。

【符号の説明】

1、71、81 インサーキットエミュレータ

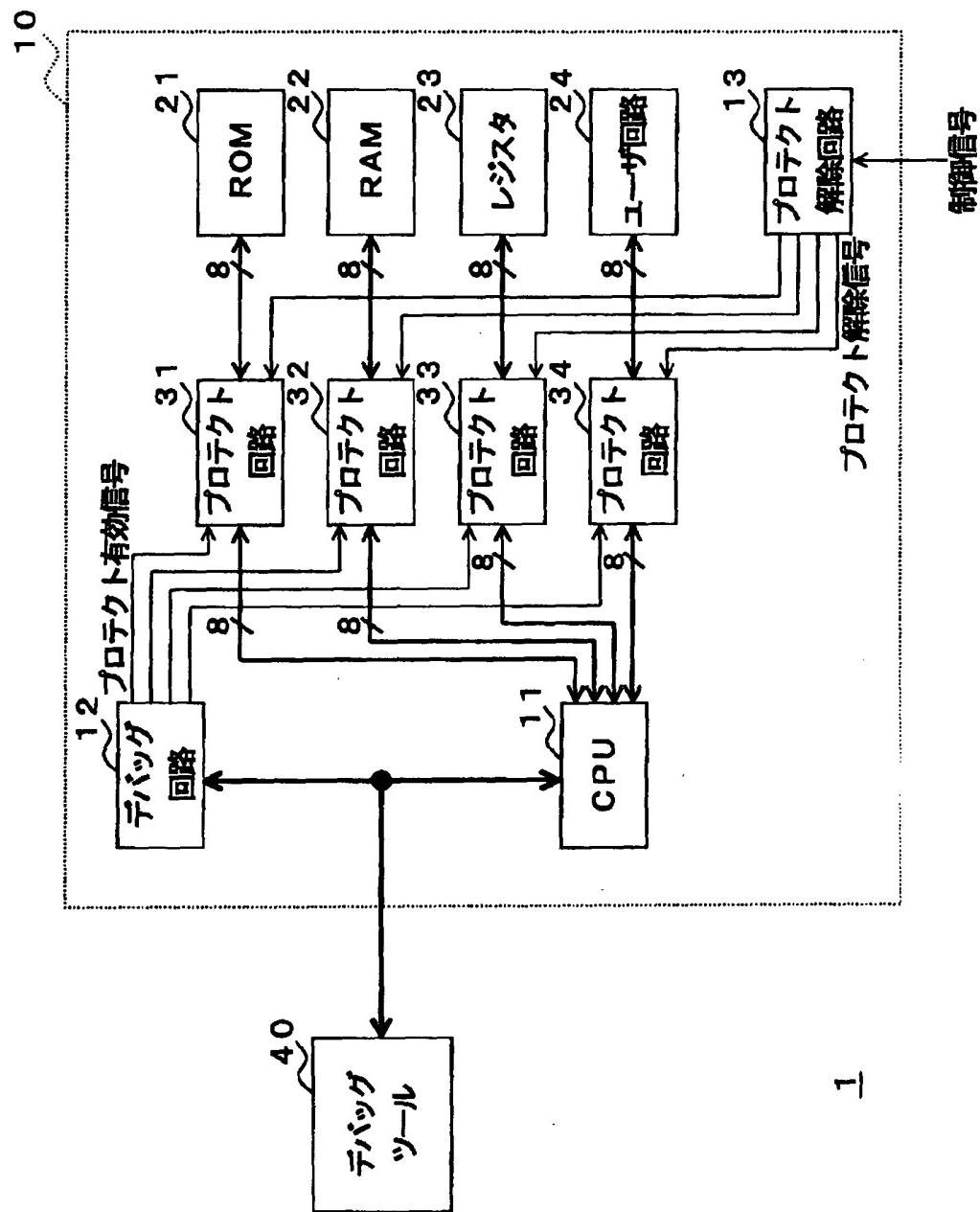
10、72、82 システムLSI

11 CPU

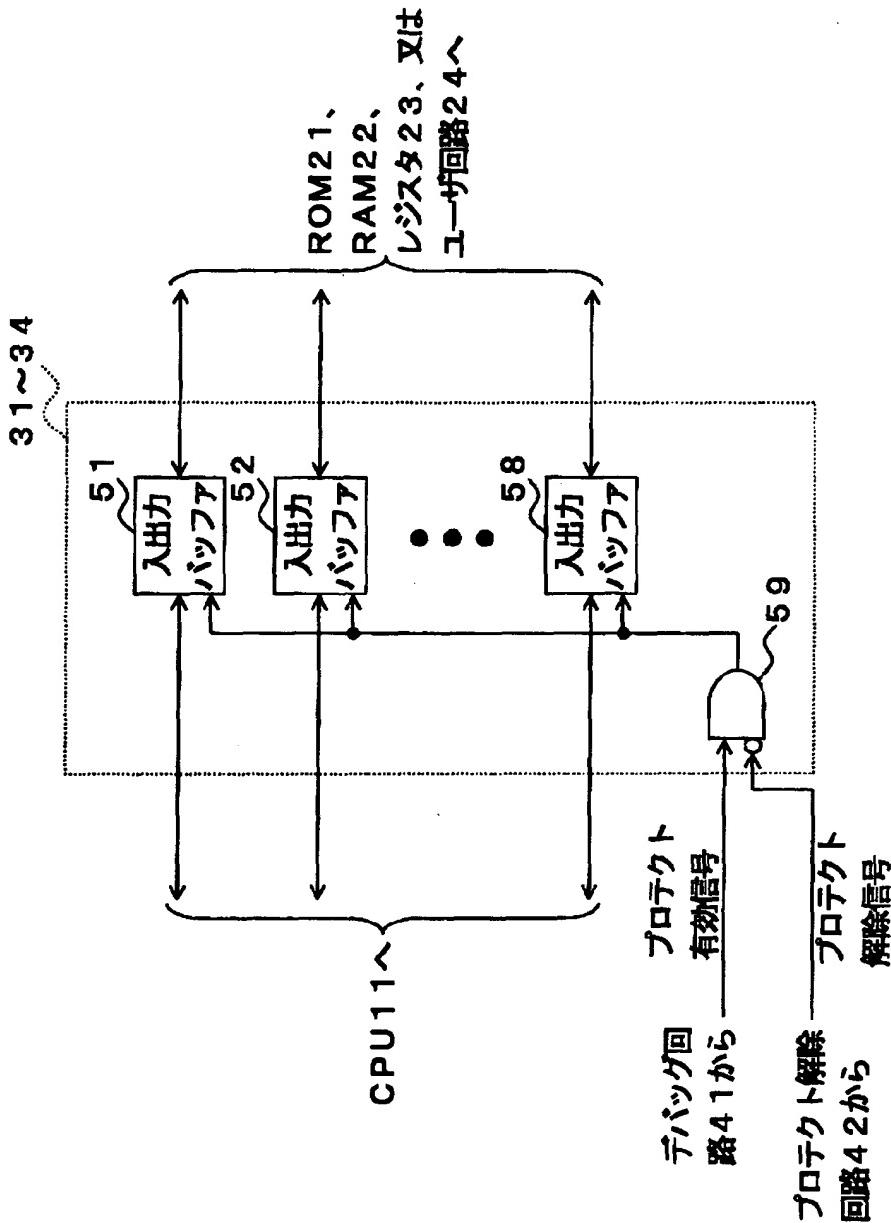
- 1 2 デバッグ回路
- 1 3 プロテクト解除回路
- 2 1 ROM
- 2 2 RAM
- 2 3 レジスタ
- 2 4 ユーザ回路
- 3 1～3 4 プロテクト回路
- 4 0 デバッグツール
- 5 1～5 8、1 1 1～1 1 8 入出力バッファ
- 5 9 ANDゲート回路
- 6 1、6 2 バッファ
- 8 3 シリアルインターフェース回路
- 8 4、8 5 NANDゲート回路
- 9 1～9 8 出力バッファ
- 1 0 1～1 0 8 入力バッファ

【書類名】図面

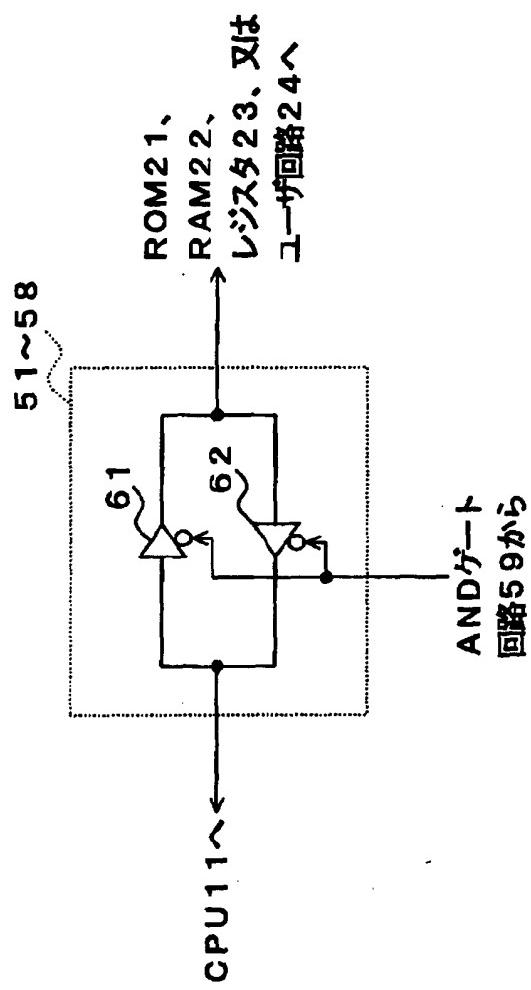
【図1】



【図2】



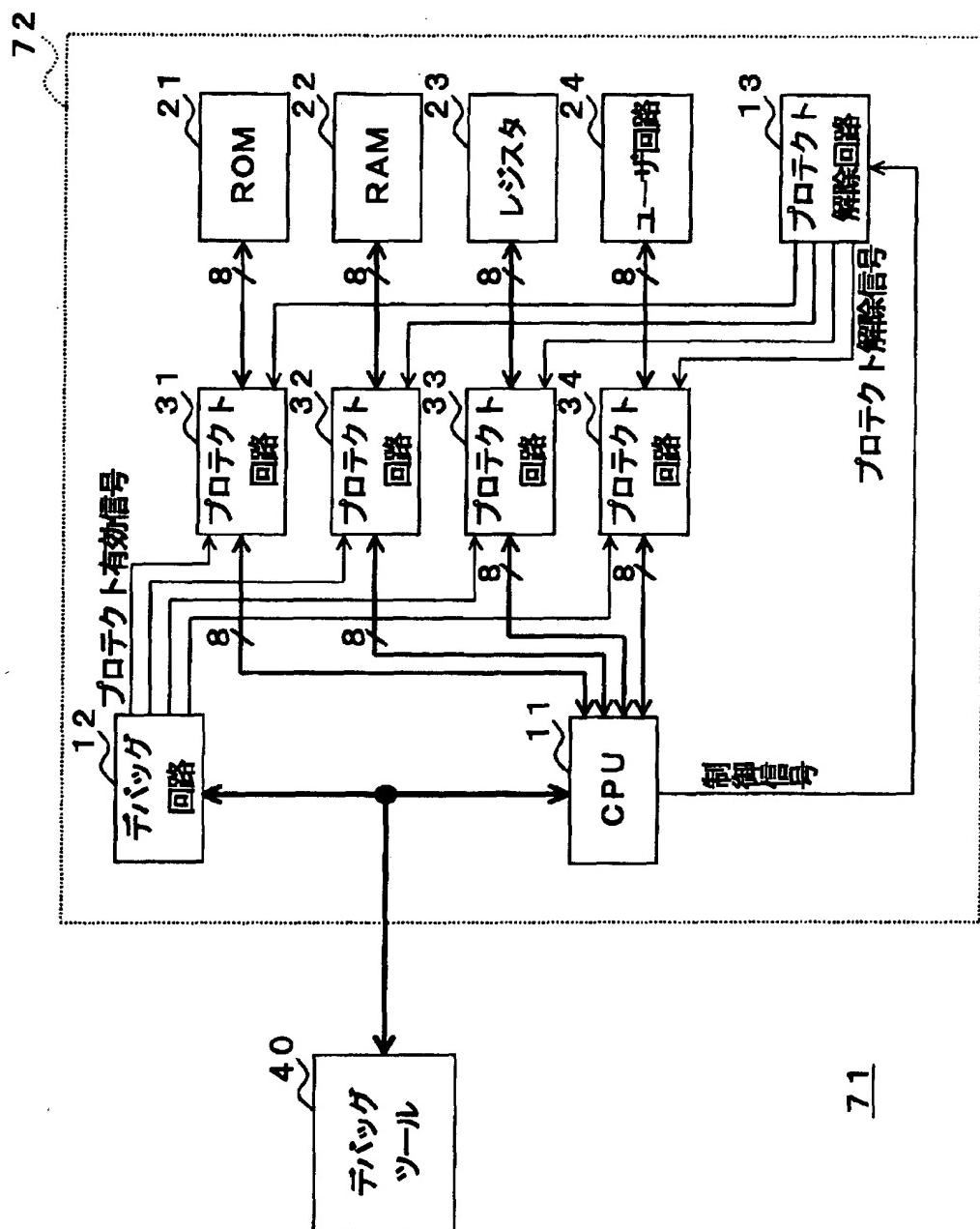
【図3】



【図4】

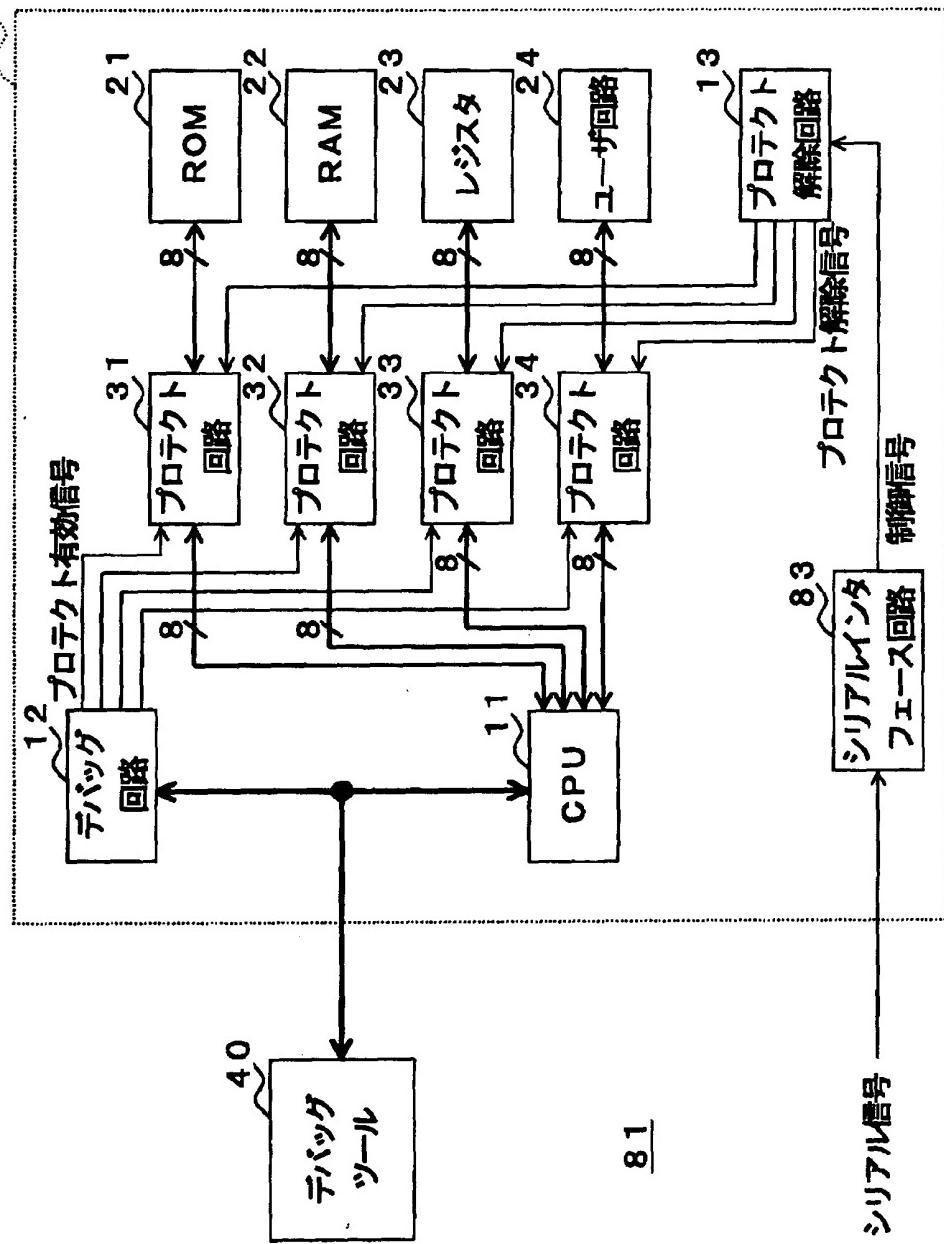
プロジェクト 有効信号		ANDゲート回路59の出力		バッファ61、62	
プロジェクト 有効信号	解除信号	L	L	オフ	オン
L	-	L	L	オフ	オン
H	L	H	H	オフ	オフ
H	H	H	L	オフ	オフ

【図5】

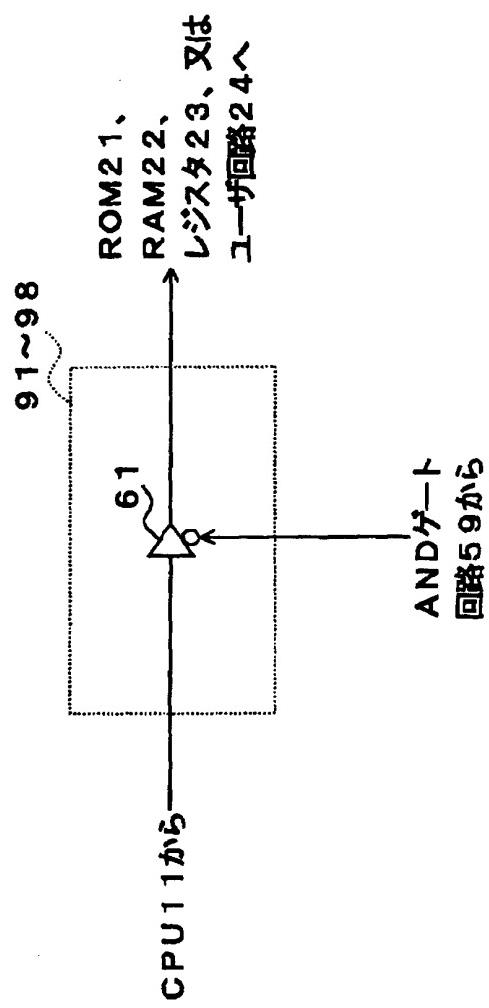


【図6】

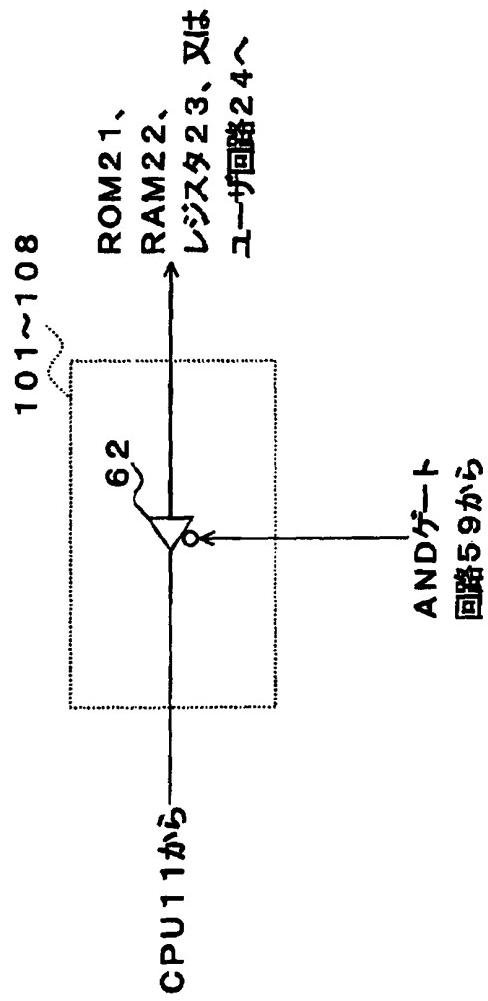
82



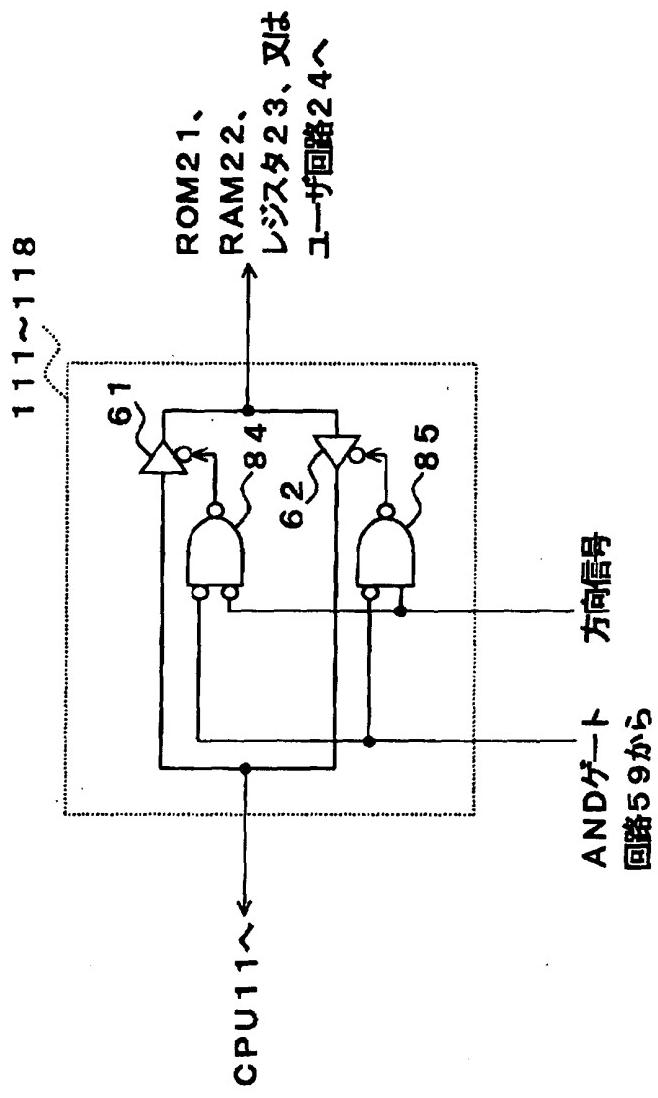
【図7】



【図8】



【図9】



【書類名】 要約書

【要約】

【課題】 所定のデータ又は信号が入力された場合に、内部のデータ又はプログラムを読み取ることが可能な半導体装置等を提供する。

【解決手段】 R O M 2 1 、 R A M 2 2 、 レジスタ 2 3 、 及び、 ユーザ回路 2 4 と C P U 1 1 との間にそれぞれ接続されたプロテクト回路 3 1 ~ 3 4 と、 デバッグツール 4 0 に接続されたときに、 C P U 1 1 を制御するとともに、 プロテクト回路 3 1 ~ 3 4 に対し、 データの転送を行わないように指示するデバッグ回路 1 2 と、 所定の信号を受信したときに、 プロテクト回路 3 1 ~ 3 4 に対し、 デバッグ回路 1 2 からの指示にかかわらずデータの転送を行うように指示するプロテクト解除回路 1 3 と、 デバッグツール 4 0 に接続されていないときに、 所定の演算を行う C P U 1 1 とを具備する。

【選択図】 図 1

認定・付加情報

特許出願の番号 特願2002-246228
受付番号 50201266782
書類名 特許願
担当官 第七担当上席 0096
作成日 平成14年 8月28日

<認定情報・付加情報>

【提出日】 平成14年 8月27日

次頁無

出願人履歴情報

識別番号 [000002369]

1. 変更年月日 1990年 8月20日

[変更理由] 新規登録

住 所 東京都新宿区西新宿2丁目4番1号
氏 名 セイコーエプソン株式会社